

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0085124  
Application Number

출원년월일 : 2002년 12월 27일  
Date of Application DEC 27, 2002

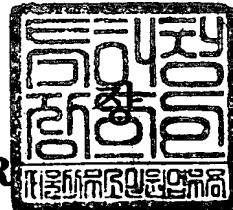
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003    05    월    14    일

특    허    청

COMMISSIONER



## 【서지사항】

【서류명】	명세서 등 보정서
【수신처】	특허청장
【제출일자】	2003.03.19
【제출인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【사건과의 관계】	출원인
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【사건의 표시】	
【출원번호】	10-2002-0085124
【출원일자】	2002.12.27
【심사청구일자】	2003.03.19
【발명의 명칭】	반도체소자의 콘택 패드 형성 방법
【제출원인】	
【접수번호】	1-1-02-0432940-19
【접수일자】	2002.12.27
【보정할 서류】	명세서등
【보정할 사항】	
【보정대상항목】	별지와 같음
【보정방법】	별지와 같음
【보정내용】	별지와 같음
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에의하여 위와 같 이 제출합니다. 대리인 특허법인 신성 (인)
【수수료】	
【보정료】	0 원
【추가심사청구료】	0 원
【기타 수수료】	0 원
【합계】	0 원

【첨부서류】

1. 보정내용을 증명하는 서류[발명의상세한설명 보정]\_1통

【보정대상항목】 식별번호 12

【보정방법】 정정

【보정내용】

예컨대, SAC 패드는 반도체 메모리 소자에서 소스/드레인 접합과 같은 기판의 도전 영역과 캐패시터의 하부전극 또는 비트라인과 전기적으로 도통되도록 연결해주는 역할을 담당한다.

【보정대상항목】 식별번호 13

【보정방법】 정정

【보정내용】

특히, 반도체 소자가 100nm이하의 보다 미세화된 선폭을 요구하게 되고, 이에 따라 불화아르곤(ArF) 노광원을 이용한 포토리소그래피 공정이 도입되었다.

【보정대상항목】 식별번호 16

【보정방법】 정정

【보정내용】

이러한 패턴 변형을 억제하기 위해서는 예컨대, 콘택홀 패턴을 형성하는 경우 산화막 계열의 절연막 상에 폴리실리콘막 또는 질화막 등의 하드마스크를 사용하며, 이 경우에는 포토레지스트 패턴이 하드마스크만을 패터닝하기 위한 식각 마스크로 사용되도록 하였다.

【보정대상항목】 식별번호 18

【보정방법】 정정

【보정내용】

도 2를 참조하면, 라인 형태의 복수의 게이트전극 패턴(20)이 배치되어 있고, 게이트전극 패턴(20) 사이에 복수의 콘택 패드(21)가 형성되어 있다.

【보정대상항목】 식별번호 19

【보정방법】 정정

【보정내용】

한편, 하드마스크를 이용하여 SAC 식각 공정을 실시하는 방식에서 콘택 패드 형성을 전도성 물질을 증착하기 전에 하드마스크를 제거하지 않는 경우에는, 콘택 패드용 전도성 물질로 폴리실리콘을 사용할 때, 하드마스크로 인해 SAC 식각 후에 습식 식각으로 개구부를 확장하거나 전도성 물질을 증착하기 전에 실시하는 세정 중에 언더컷(Under cut)이 발생하며 폴리실리콘과 같은 전도성 물질을 증착시 보이드(Void) 또는 심(Seam)(22)이 발생한다.

【보정대상항목】 식별번호 20

【보정방법】 정정

【보정내용】

한편, SAC 형성 공정을 진행한 다음, 콘택 패드 형성법으로 선택적 에피택셜 성장(Selective Epitaxial Growth; 이하 SEG라 함) 방식을 사용하는 연구가 활발히 진행되고 있는 바, SEG에 의해 콘택 패드를 형성할 경우 기존의 폴리실리

콘 등을 증착하는 것에 비해  $0.1\mu\text{m}$  이하의 선평의 기술에서 콘택저항을 1~2배 이상 줄일 수 있는 장점이 있다.

【보정대상항목】 식별번호 22

【보정방법】 정정

【보정내용】

도 3의 (a)는 셀저항( $\text{k}\Omega/\text{Tr.}$ ) 크기의 발생 확률을 도시한 그래프로서, 이를 참조하면, SEG 방식에 의한 패드(A)는 셀저항이  $20(\text{k}\Omega/\text{Tr.})$  이하에서 거의 존재하나, 폴리실리콘 증착 방식에 의해 형성된 패드(B)는 셀저항이  $20(\text{k}\Omega/\text{Tr.}) \sim 40(\text{k}\Omega/\text{Tr.})$  사이에서 거의 존재함을 알 수 있다.

【보정대상항목】 식별번호 25

【보정방법】 정정

【보정내용】

도 4를 참조하면, SEG에 의해 성장한 박막은 성장 도중에 불규칙적인 실리콘 성장을 유발하여 실리콘 클러스터(Silicon cluster) 등의 소자 불량을 발생하  
는 바, 도면부호 '40'은 SEG 성장 도중 선택성이 깨져 발생한 실리콘 덩어리를 나타내고 있다. 이러한 실리콘 덩어리는 후속 공정에서 결함 소스로 작용하여 소  
자의 불량을 초래한다.

【보정대상항목】 식별번호 26

【보정방법】 정정

【보정내용】

또한, SEG 방식에 의해 성장된 실리콘 에피층은 산화막 계열의 절연막 상에 폴리실리콘 등의 하드마스크를 사용할 때, 하드마스크 상단부에서 SEG의 과도 성장이 발생하는 문제점이 있고, 퍼짓(Facet) 등의 각진 형태로 성장하는 경향이 있으며, 후속 절연막 형성 공정 단계에서 절연막 내에 공극(Void) 등을 유발한다 .

【보정대상항목】 식별번호 27

【보정방법】 정정

【보정내용】

따라서, SEG 방식을 적용하여 콘택 패드를 형성할 경우 발생하는 불규칙적인 실리콘 성장을 억제할 수 있는 공정 방법이 필요하다.

【보정대상항목】 식별번호 30

【보정방법】 정정

【보정내용】

본 발명은, SAC 식각 공정시 하드마스크만을 주 식각마스크로 사용하여 절연막에 대한 SAC 식각 공정을 실시한 다음, 유기(Organic) 계열의 폴리머(Polymer) 물질을 증착하고, 습식 또는 건식의 식각 방식으로 절연막 상부의 하드마스크를 제거함으로써, 이후 콘택 패드 형성 공정에서 SEG 방식 또는 폴리실

리콘 증착 방식 등 어느 방식을 사용하더라도 콘택 패드의 보이드 발생 또는 실리콘 이상 성장으로 인한 소자의 불량 발생을 억제할 수 있도록 한다.

【보정대상항목】 식별번호 32

【보정방법】 정정

【보정내용】

도 5a 내지 도 5g는 본 발명의 일실시예에 따른 반도체소자의 콘택 패드 형성 공정을 도시한 단면도로서, 이를 참조하여 상세하게 살펴 본다.

【보정대상항목】 식별번호 33

【보정방법】 정정

【보정내용】

먼저, 도 5a에 도시된 바와 같이, 필드산화막(51) 및 불순물접합층(도시하지 않음)등의 반도체 소자를 이루기 위한 여러 요소가 형성된 기판(50) 상에 소정의 도전 패턴을 형성한다.

여기서, 도전 패턴은 비트라인 패턴, 금속배선 또는 게이트전극 패턴 등을 포함한다.

【보정대상항목】 식별번호 34

【보정방법】 정정

【보정내용】

본 실시예에서는 전술한 도전 패턴이 게이트전극 패턴일 경우를 예로하여 그 제조 공정을 구체적으로 살펴 본다.



산화막계열의 '게이트절연막(도시하지 않음)과 폴리실리콘, 텅스텐 또는 텅스텐 실리사이드 등을 단독 또는 혼합하여 도전층과 절화막 계열의 하드마스크용 절연막을 차례로 증착한 후, 게이트전극 패턴 형성을 위한 마스크를 이용한 사진식각 공정을 실시하여 도전층(52)과 하드마스크(53)이 적층된 구조의 게이트전극 패턴을 형성한다.

【보정대상항목】 식별번호 36

【보정방법】 정정

【보정내용】

식각정지막(54)은 후속 SAC 식각 공정시 도전층 패턴의 손실을 방지하고 산화막 계열인 절연막과의 식각선택비를 확보하여 식각 프로파일을 얻기 위해 실리콘산화질화막 또는 실리콘질화막 등의 절화막 계열을 사용하는 것이 바람직하다.

【보정대상항목】 식별번호 39

【보정방법】 정정

【보정내용】

이어서, 절연막(55) 상에 후속 SAC 식각 공정에서 발생하는 포토레지스트 패턴의 약한 식각 내성을 극복하기 위해 하드마스크용 물질막(56a)을 증착한다.

**【보정대상항목】 식별번호 41****【보정방법】 정정****【보정내용】**

이어서, 하드마스크용 물질막(56a) 상에 콘택 패드 형성을 위한 셀콘택 마스크인 포토레지스트 패턴(57)을 형성한 다음, 포토레지스트 패턴(57)을 식각마스크로 하드마스크용 물질막(56a)을 식각하여 하드마스크(56b)를 형성함으로써, 콘택 형성 영역을 정의한다.

한편, 포토레지스트 패턴(57)과 하드마스크용 물질막(56a) 계면에 반사방지막(Bottom Anti Reflective Coating; 이하 BARC라 함)을 형성하는 공정을 포함되나, 도면의 간략화를 위해 생략하였다.

**【보정대상항목】 식별번호 43****【보정방법】 정정****【보정내용】**

여기서는 포토레지스트 패턴(57)이 T형인 경우를 그 일례로 하였으나, 이외에도 바형(Bar type) 등 다양한 형태를 사용할 수 있다.

**【보정대상항목】 식별번호 50****【보정방법】 정정****【보정내용】**

다음으로, 도 5f에 도시된 바와 같이 개구부가 확장된 오픈부(58) 상에 SEG 방식을 적용하여 실리콘 에피층(60a)을 성장시킨다.

【보정대상항목】 식별번호 54

【보정방법】 정정

【보정내용】

도 5g는 복수의 패드(60b)가 게이트 하드마스크(53)와 평탄화되어 분리된  
공정 단면을 도시한다.

## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0021  
**【제출일자】** 2002.12.27  
**【발명의 명칭】** 반도체소자의 콘택 패드 형성 방법  
**【발명의 영문명칭】** Method for fabrication of contact pad of semiconductor device  
**【출원인】**  
**【명칭】** 주식회사 하이닉스반도체  
**【출원인코드】** 1-1998-004569-8  
**【대리인】**  
**【명칭】** 특허법인 신성  
**【대리인코드】** 9-2000-100004-8  
**【지정된변리사】** 변리사 정지원, 변리사 원석희, 변리사 박해천  
**【포괄위임등록번호】** 2000-049307-2  
**【발명자】**  
**【성명의 국문표기】** 이성권  
**【성명의 영문표기】** LEE, Sung Kwon  
**【주민등록번호】** 640301-1268621  
**【우편번호】** 467-860  
**【주소】** 경기도 이천시 부발읍 현대7차아파트 706-1401  
**【국적】** KR  
**【취지】** 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 특허법인 신성 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 0 면 0 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 0 항 0 원  
**【합계】** 29,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

## 【요약서】

## 【요약】

본 발명은 효과적인 미세 패턴 형성 및 콘택된 패드에 선택적 에피택셜 성장 방식을 이용하여 실리콘층을 형성할 경우 하드마스크 상단부에서의 이상 과도 성장을 억제할 수 있는 반도체소자의 콘택 패드 형성 방법을 제공하기 위한 것으로, 이를 위해 본 발명은, 실리콘 기판 상에 배치되며 서로 이웃하는 다수의 도전 패턴을 형성하는 단계; 상기 도전 패턴이 형성된 전면에 절연막을 형성하는 단계; 상기 절연막 상에 하드마스크용 물질막을 증착하는 단계; 상기 하드마스크용 물질막 상에 상기 도전층 패턴 사이에 콘택홀을 형성하기 위한 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스트 패턴을 식각마스크로 상기 하드마스크용 물질막을 식각하여 하드마스크를 형성하여 콘택 형성 영역을 정의하는 단계; 상기 포토레지스트 패턴을 제거하는 단계; 상기 하드마스크를 식각마스크로 상기 절연막을 식각하여 상기 기판을 노출시키는 오픈부를 형성하는 단계; 상기 오픈부가 형성된 전면에 폴리머막을 형성하는 단계; 에치백 공정을 실시하여 상기 하드마스크와 상기 폴리머막을 제거하여 상기 기판을 노출시키는 단계; 및 노출된 상기 기판에 콘택된 패드를 형성하는 단계를 포함하는 반도체소자의 콘택 패드 형성 방법을 제공한다.

## 【대표도】

도 5g

## 【색인어】

SEG(Selective Epitaxial Growth), 콘택 패드, 하드마스크, 폴리머.

**【명세서】****【발명의 명칭】**

반도체소자의 콘택 패드 형성 방법{Method for fabrication of contact pad of semiconductor device}

**【도면의 간단한 설명】**

도 1은 불화아르곤 포토리소그래피 공정을 통해 형성된 반도체소자의 패턴을 도시한 평면 SEM 사진.

도 2는 콘택 패드가 형성된 반도체소자를 도시한 평면 및 단면 SEM 사진.

도 3은 SEG 방식에 의해 형성된 콘택 패드와 폴리실리콘 증착에 의한 형성된 콘택 패드 사이의 셀저항 변화를 도시한 그래프.

도 4는 SEG 방식에 의한 패드 형성시 비정상적인 실리콘 성장을 도시한 SEM 사진.

도 5a 내지 도 5g는 본 발명의 일실시예에 따른 반도체소자의 콘택 패드 형성 공정을 도시한 단면도.

\*도면의 주요 부분에 대한 부호의 설명

50 : 기판            51 : 필드산화막

52 : 전도층            53 : 게이트 하드마스크

54 : 식각정지막        55 : 절연막

60b : 콘택 패드

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <11> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 자기정렬콘택(Self Align Contact; 이하 SAC이라 함) 방법에 의한 패드(Pad) 형성 방법에 관한 것이다.
- <12> 예컨대, SAC 패드는 반도체 메모리 소자에서 기판의 도전 영역 예컨대, 소스/드레인 접합과 캐패시터의 하부전극 또는 비트라인과 연결하는 역할을 담당한다.
- <13> 특히, 반도체 소자가 100nm이하의 보다 미세화된 선폭을 요구하게 되고 이에 따라 불화아르곤(ArF) 노광원을 이용한 포토리소그래피 공정이 도입되었다.
- <14> 도 1은 불화아르곤 포토리소그래피 공정을 통해 형성된 반도체소자의 패턴을 도시한 평면 SEM(Scanning Electron Microscopy) 사진이다.
- <15> 도 1을 참조하면, 복수의 고립형 패턴이 일정 간격으로 이격되어 배치되어 있다. 한편, ArF용 포토레지스트 예컨대, COMA(CycloOlefin-Maleic Anhydride) 또는 아크릴레이트(Acrylate) 계통은 SAC 식각 공정시 주로 사용되는 불소계 가스에 대한 식각 내성이 매우 취약하여 도시된 '10'과 같이 패턴 변형을 유발한다.
- <16> 이러한 패턴 변형을 억제하기 위해서는 예컨대, 콘택홀 패턴을 형성하는 경우 산화막 계열의 절연막 상에 폴리실리콘막 또는 질화막 등의 하드마스크를 사용하여 포토레지스트 패턴으로는 하드마스크만을 패터닝하는 방법이 강구되었다.

- <17> 도 2는 콘택 패드가 형성된 반도체소자를 도시한 평면 및 단면 SEM 사진이다.
- <18> 도 2의 (a)와 도 2의 (b)를 참조하면, 라인 형태의 복수의 게이트전극 패턴(20)이 배치되어 있고, 게이트전극 패턴(20) 사이에 복수의 콘택 패드(21)가 형성되어 있다.
- <19> 한편, 하드마스크를 이용하여 SAC 식각 공정을 실시하는 방식의 경우 콘택 패드 형성용 전도성 물질을 증착하기 전에 하드마스크를 제거하지 않는 경우 콘택 패드용 전도성 물질로 폴리실리콘을 사용할 때, 하드마스크로 인해 SAC 식각 후에 습식 식각으로 개구부를 확장하거나 전도성 물질을 증착하기 전에 실시하는 세정 중에 언더컷(Under cut)이 발생하며 폴리실리콘과 같은 전도성 물질을 증착시 보이드(Void) 또는 심(Seam)(22)이 발생한다.
- <20> 한편, SAC 형성 공정을 진행한 다음, 콘택 패드 형성법으로 선택적 에피택셜 성장(Selective Epitaxial Growth; 이하 SEG라 함) 방식을 사용하는 연구가 활발히 진행되고 있는 바, SEG에 의해 콘택 패드를 형성할 경우 기존의 증착에 비해  $0.1\mu\text{m}$  이하의 선평의 기술에서 콘택저항을 1~2배 이상 줄일 수 있는 장점이 있다.
- <21> 도 3은 SEG 방식에 의해 형성된 콘택 패드와 폴리실리콘 증착에 의한 형성된 콘택 패드 사이의 셀저항(Cell resistance) 변화를 도시한 그래프이다.
- <22> 도 3의 (a)는 셀저항( $\text{k}\Omega/\text{Tr.}$ ) 크기의 발생 확률을 도시한 그래프로서, 이를 참조하면, SEG 방식에 의한 패드(A)는 셀저항이  $20(\text{k}\Omega/\text{Tr.})$  이하에서 거의 존재함을 알 수 있으나, 폴리실리콘 증착 방식에 의한 패드(B)는 셀저항이  $20(\text{k}\Omega/\text{Tr.}) \sim 40(\text{k}\Omega/\text{Tr.})$  사이에서 거의 존재함을 알 수 있다.



- <23> 또한, 도 3의 (b)는 콘택오픈면적( $\mu\text{m}^2$ )에 따른 셀저항( $\text{k}\Omega/\text{Tr.}$ )의 변화를 도시한 그래프로서, 이를 참조하면, 같은 콘택오픈면적을 가질 경우 SEG 방식에 의한 패드(A)가 폴리실리콘 증착 방식에 의한 패드(B)의 셀저항( $\text{k}\Omega/\text{Tr.}$ ) 보다 그래프 상에서 아래 부분에 위치하여 셀저항이 작음을 알 수 있다.
- <24> 도 4는 SEG 방식에 의한 패드 형성시 비정상적인 실리콘 성장을 도시한 SEM 사진이다.
- <25> 도 4를 참조하면, SEG에 의해 성장한 박막은 성장 도중에 불규칙적인 실리콘 성장을 유발하여 실리콘 클러스터(Silicon cluster) 등의 소자 불량을 유발한다. 도면부호 '40'은 SEG 성장 도중 선택성이 깨져 발생한 실리콘 덩어리를 나타내며, 이는 후속 공정에서 불량을 초래한다.
- <26> 또한, SEG 방식에 의해 성장된 실리콘 에피층은 산화막 계열의 절연막 상에 폴리실리콘 등의 하드마스크를 사용하고 이를 증착전에 미 제거할 경우에 특히 하드마스크 상단부에서 SEG의 과도 성장이 발생하는 문제점이 있고, 퍼짓(Facet) 등의 각진 형태로 성장하는 경향이 있으며 후속 절연막 공정 단계에서 절연막 내에 공극(Void) 등을 유발한다.
- <27> 따라서, SEG 방식을 적용하여 콘택 패드를 형성할 경우 발생하는 불규칙적인 실리콘 성장을 억제할 수 있는 공정 방법이 필요하게 된다.

**【발명이 이루고자 하는 기술적 과제】**

<28> 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로서, 효과적인 미세 패턴 형성 및 콘택된 패드에 선택적 어피택셜 성장 방식을 이용하여 실리콘층을 형성할 경우 하드마스크 상단부에서의 이상 과도 성장을 억제할 수 있는 반도체소자의 콘택 패드 형성 방법을 제공하는데 그 목적이 있다.

**【발명의 구성 및 작용】**

<29> 상기의 목적을 달성하기 위한 본 발명은, 실리콘 기판 상에 배치되며 서로 이웃하는 다수의 도전 패턴을 형성하는 단계; 상기 도전 패턴이 형성된 전면에 절연막을 형성하는 단계; 상기 절연막 상에 하드마스크용 물질막을 증착하는 단계; 상기 하드마스크용 물질막 상에 상기 도전층 패턴 사이에 콘택홀을 형성하기 위한 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스트 패턴을 식각마스크로 상기 하드마스크용 물질막을 식각하여 하드마스크를 형성하여 콘택 형성 영역을 정의하는 단계; 상기 포토레지스트 패턴을 제거하는 단계; 상기 하드마스크를 식각마스크로 상기 절연막을 식각하여 상기 기판을 노출시키는 오픈부를 형성하는 단계; 상기 오픈부가 형성된 전면에 폴리머막을 형성하는 단계; 에치백 공정을 실시하여 상기 하드마스크와 상기 폴리머막을 제거하여 상기 기판을 노출시키는 단계; 및 노출된 상기 기판에 콘택된 패드를 형성하는 단계를 포함하는 반도체소자의 콘택 패드 형성 방법을 제공한다.

- <30>        본 발명은, SAC 식각 공정시 하드마스크만을 주 식각마스크로 사용하여 절연막에 대한 SAC 식각 공정을 실시한 다음, 유기(Organic) 계열의 폴리머(Polymer) 물질을 증착하고 습식 톨드 건식의 식각 방식으로 절연막 상부의 하드마스크를 제거함으로써, 이후 콘택 패드 형성 공정에서 SEG 방식 또는 폴리실리콘 증착 방식 등 어느 방식을 사용하더라도 콘택 패드의 보이드 발생 또는 실리콘 이상 성장으로 인한 불량 발생을 억제할 수 있도록 한다.
- <31>        이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명한다.
- <32>        도 5a 내지 도 5g는 본 발명의 일실시예에 따른 반도체소자의 콘택 패드 형성 공정을 도시한 단면도이다.
- <33>        먼저, 도 5a에 도시된 바와 같이, 필드산화막(51) 및 불순물집합층(도시하지 않음) 등의 반도체 소자를 이루기 위한 여러 요소가 형성된 기판(50) 상에 소정의 도전 패턴을 형성하는 바, 도전 패턴은 비트라인 패턴, 금속배선 또는 게이트전극 패턴 등을 포함한다.
- <34>        도전 패턴이 게이트전극 패턴일 경우의 제조 공정을 구체적으로 살펴 보면, 산화막 계열의 게이트절연막(도시하지 않음)과 폴리실리콘, 텅스텐 또는 텅스텐 실리사이드 등을 단독 또는 혼합하여 도전층과 질화막 계열의 하드마스크용 절연막을 차례로 증착한

후, 게이트전극 패턴 형성을 위한 마스크를 이용한 사진식각 공정을 실시하여 도전층 (52)과 하드마스크(53)이 적층된 구조의 게이트전극 패턴을 형성한다.

<35> 이어서, 도전층 패턴이 형성된 프로파일을 따라 식각정지막(54)을 얇게 증착한다.

<36> 식각정지막(54)은 후속 SAC 식각 공정시 도전층 패턴의 손실을 방지하고 산화막 계열인 절연막과의 식각선택비를 확보하여 식각 프로파일을 얻기 위해 질화막 계열을 사용하는 것이 바람직하다.

<37> 도 5b에 도시된 바와 같이, 게이트전극 패턴 사이의 스페이스를 충분히 채울 수 있을 정도로 절연막(55)을 증착한다.

<38> 절연막(55)은 산화막 계열로서, BPSG(Boro Phospho Silicate Glass)막, BSG(Boro Silicate Glass)막, PSG(Phospho Silicate Glass)막, HDP(High Density Plasma) 산화막, TEOS(Tetra Ethyl Ortho Silicate)막 또는 APL(Advanced Planarization Layer)막 등을 사용한다.

<39> 이어서, 절연막(55) 상에 후속 SAC 식각 공정에서 포토레지스트 패턴의 액한 식각 내성을 극복하기 위해 하드마스크용 물질막(56a)을 증착한다.

<40> 여기서, 하드마스크용 물질막(56a)이 절연성 물질막인 경우에는 SiC막, 언도프트 폴리실리콘막(Undoped polysilicon layer), 실리콘질화막 또는 실리콘산화질화막 등을 사용하며, 전도성 물질막인 경우에는 텅스텐막, 텅스텐 실리사이드막 또는 도프트 폴리실리콘막(Doped polysilicon layer) 등을 사용하는 것이 바람직하다.

<41> 이어서, 하드마스크용 물질막(56a) 상에 콘택 패드 형성을 위한 셀콘택 마스크인 포토레지스트 패턴(57)을 형성한 다음, 포토레지스트 패턴(57)을 식각마스크로 하드마스

크용 물질막(56a)을 식각하여 하드마스크(56b)를 형성함으로써, 콘택 형성 영역을 정의한다. 한편, 포토레지스트 패턴(57)과 하드마스크용 물질막(56a) 계면에 반사방지막(Bottom Anti Reflective Coating; 이하 BARC라 함)을 형성하나 도면의 간략화를 위해 생략하였다.

<42> 포토레지스트 패턴(57)의 형성 공정은 ArF 포토리소그래피 공정을 적용하여 형성하며, 포토레지스트 패턴(57)을 식각마스크로 절연막(55)을 직접 식각하지 않으므로 패턴 변형을 최소화 할 수 있다.

<43> 여기서는 포토레지스트 패턴(57)이 T형인 경우를 그 일례로 하였으나, 이외에도 바형(Bar type) 등을 사용할 수 있다.

<44> 이어서, 포토레지스트 스트립(Photo resist strip) 공정을 실시하여 포토레지스트 패턴(57)을 제거한 다음, 하드마스크(56b)를 식각마스크로 절연막(55)을 식각하는 통상의 SAC 공정을 통해 식각정지막(54)을 노출시키는 오픈부(58)를 형성한다.

<45> 도 5d는 SAC 공정을 통해 오픈부(58)가 형성된 공정 단면을 나타낸다.

<46> 전술한 SAC 식각 공정은 통상의 SAC 식각 공정시 사용하는 레시피 즉, CF계열 가스를 포함하는 플라즈마를 이용한다.

<47> 이어서, 도 5e에 도시된 바와 같이, 오픈부(58)를 충분히 매립할 수 있도록 폴리머막(59)을 증착하여 오픈부(58)와 하드마스크(56b)를 덮는다.

<48> 폴리머막(59)은 저유전을 물질인 SiLK나 유기 계열의 포토레지스트와 같은 폴리머를 사용하여 형성하며, 하드마스크(56b) 제거를 위한 에치백 공정에서 기판(40)의 어택을 방지하기 위한 것이다.

- <49> 이어서, 건식 또는 습식 방식에 의한 에치백 공정을 실시하여 하드마스크(56b)와 폴리머막(59)을 제거한 다음, 습식 식각을 실시하여 식각정지막(54)을 제거하며 개구부를 확장한 다음, 전세정 공정을 실시한다.
- <50> 다음으로, 도 5f에 도시된 바와 같이 오픈부 개구부 상에 SEG 방식을 적용하여 실리콘 에피층(60a)을 성장시킨다.
- <51> 구체적으로, 800℃ ~ 1000℃의 온도와 10Torr ~ 200Torr의 압력 하에서 DCS( $\text{SiH}_2\text{Cl}_2$ )/HCl/ $\text{H}_2$  기체의  $\text{PH}_3/\text{H}_2$  분압비(0.4 ~ 0.8)를 조절하여 형성하여 노출된 기판(50)으로 부터 실리콘 에피층(60a)을 성장시킨다.
- <52> 한편, 전술한 바와 같은 SEG 방식 이외에 폴리실리콘을 증착하는 방식도 이용 가능하다.
- <53> 이어서, 에치백 또는 화학기계적연마(Chemical Mechanical Polishing; 이하 CMP라 함) 공정을 통해 실리콘 에피층(60a)을 제거하여 이웃하는 패드(60b)와 격리된 복수의 패드(60b)를 형성한다.
- <54> 도 6g는 복수의 패드(60b)가 게이트 하드마스크(53)와 평탄화되어 분리된 공정 단면을 도시한다.
- <55> 전술한 바와 같이 이루어지는 본 발명은, SAC 식각 공정시 하드마스크를 사용하고 이를 패드 형성을 전도막 형성 전에 제거함으로써 하부의 언더컷을 방지할 수 있어, SEG 방식에 의한 패드 형성시에도 SEG 실리콘 이상 성장을 억제할 수 있다.

<56>        본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

**【발명의 효과】**

<57>        상술한 바와 같은 본 발명은, 콘택 패드 형성시 선택적 에피택셜 성장 방식에 의한 실리콘층 형성시 실리콘의 과도 성장에 의한 불량 현상을 억제할 수 있어 궁극적으로, 반도체 소자의 수율을 향상시킬 수 있는 탁월한 효과를 기대할 수 있다.

**【특허청구범위】****【청구항 1】**

실리콘 기판 상에 배치되며 서로 이웃하는 다수의 도전 패턴을 형성하는 단계;

상기 도전 패턴이 형성된 전면에 절연막을 형성하는 단계;

상기 절연막 상에 하드마스크용 물질막을 증착하는 단계;

상기 하드마스크용 물질막 상에 상기 도전층 패턴 사이에 콘택홀을 형성하기 위한 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 식각마스크로 상기 하드마스크용 물질막을 식각하여 하드마스크를 형성하여 콘택 형성 영역을 정의하는 단계;

상기 포토레지스트 패턴을 제거하는 단계;

상기 하드마스크를 식각마스크로 상기 절연막을 식각하여 상기 기판을 노출시키는 오픈부를 형성하는 단계;

상기 오픈부가 형성된 전면에 폴리머막을 형성하는 단계;

에치백 공정을 실시하여 상기 하드마스크와 상기 폴리머막을 제거하여 상기 기판을 노출시키는 단계; 및

노출된 상기 기판에 콘택된 패드를 형성하는 단계

를 포함하는 반도체소자의 콘택 패드 형성 방법.

**【청구항 2】**

제 1 항에 있어서,



상기 전도 패턴은 게이트전극 패턴, 비트라인 패턴 또는 금속배선 중 어느 하나를 포함하는 것을 특징으로 하는 반도체소자의 콘택 패드 형성 방법.

**【청구항 3】**

제 1 항에 있어서,

상기 포토레지스트 패턴을 형성하는 단계에서, ArF용 포토레지스트와 ArF 노광원을 이용하여 상기 포토레지스트 패턴을 형성하는 것을 특징으로 하는 반도체소자의 콘택 패드 형성 방법.

**【청구항 4】**

제 1 항에 있어서,

상기 하드마스크용 물질막은, SiC막, 언도프드 폴리실리콘막, 실리콘질화막 또는 실리콘산화질화막 중 어느 하나의 절연성 물질막을 포함하는 것을 특징으로 하는 반도체소자의 콘택 패드 형성 방법.

**【청구항 5】**

제 1 항에 있어서,

상기 하드마스크용 물질막은, 텅스텐막, 텅스텐 실리사이드막 또는 도프트 폴리실리콘막 중 어느 하나의 전도성 물질막을 포함하는 것을 특징으로 하는 반도체소자의 콘택 패드 형성 방법.

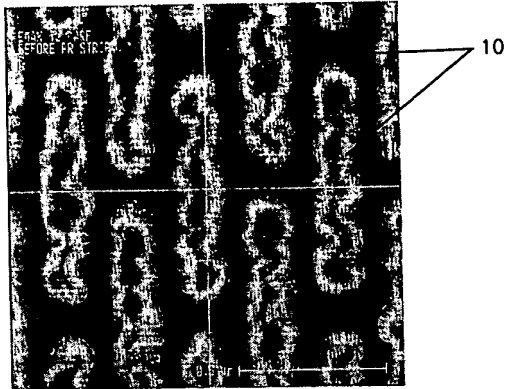
**【청구항 6】**

제 1 항에 있어서,

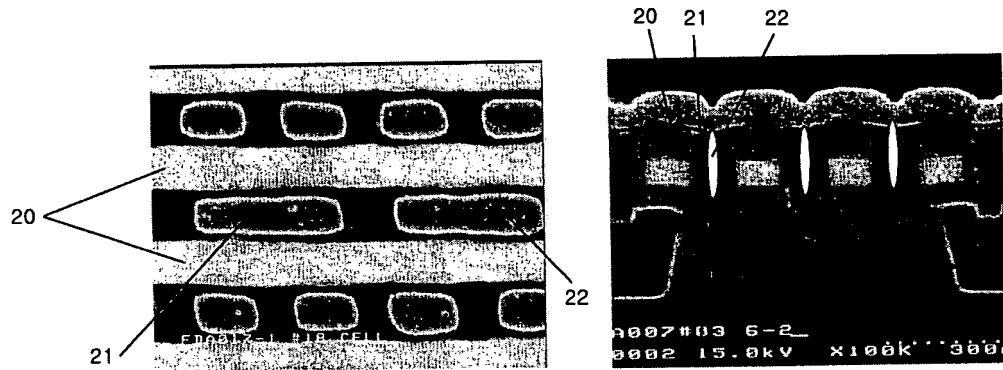
상기 폴리머막은, 유기 계열인 것을 특징으로 하는 반도체소자의 콘택 패드 형성 방법.

【도면】

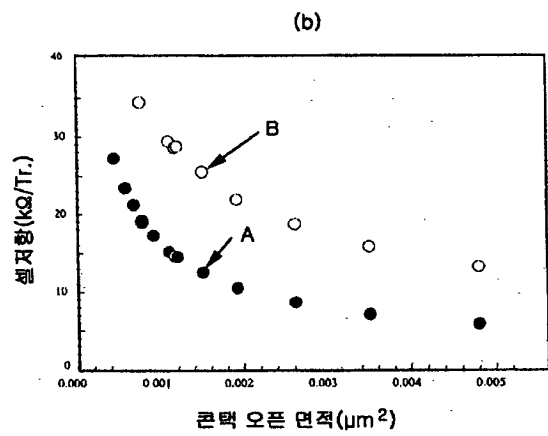
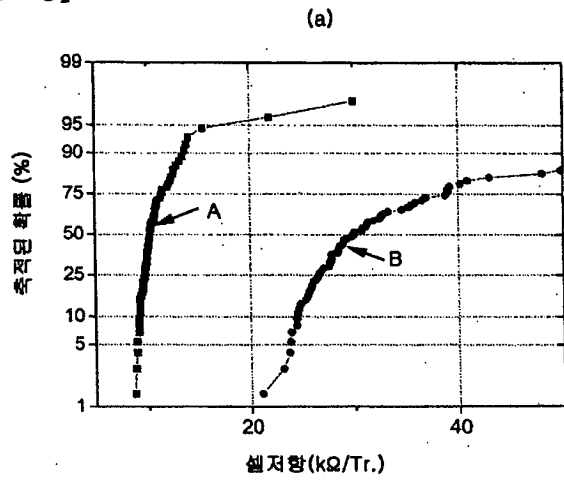
【도 1】



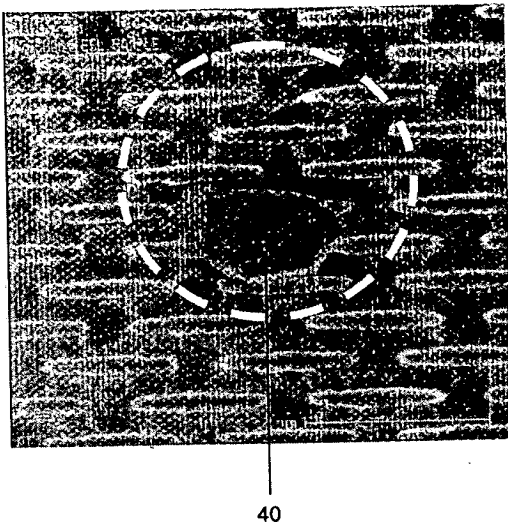
【도 2】



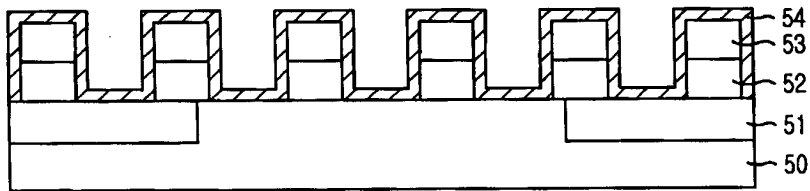
【도 3】



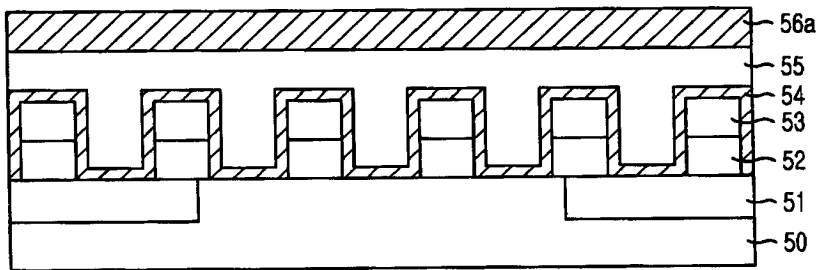
【도 4】



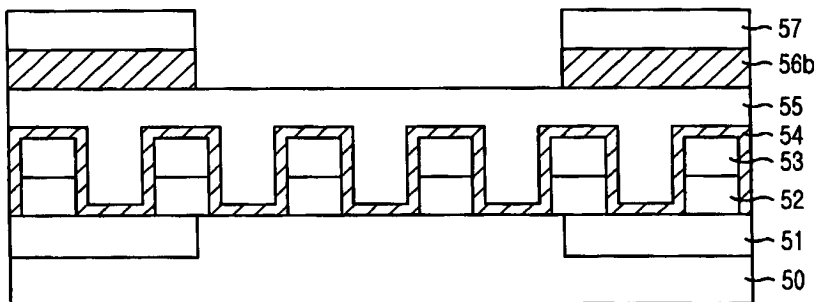
【도 5a】



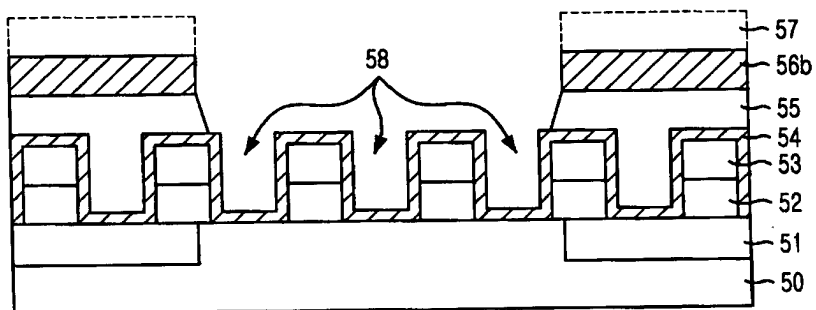
【도 5b】



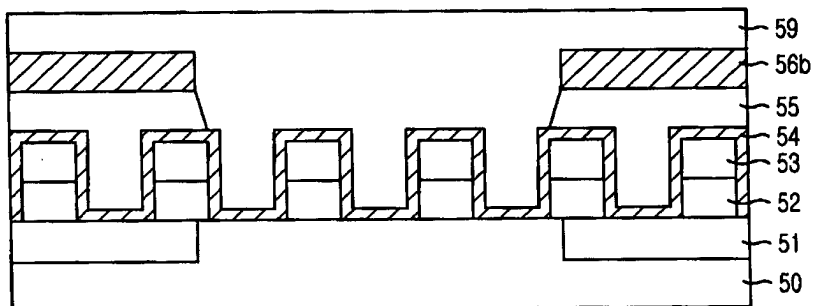
【도 5c】



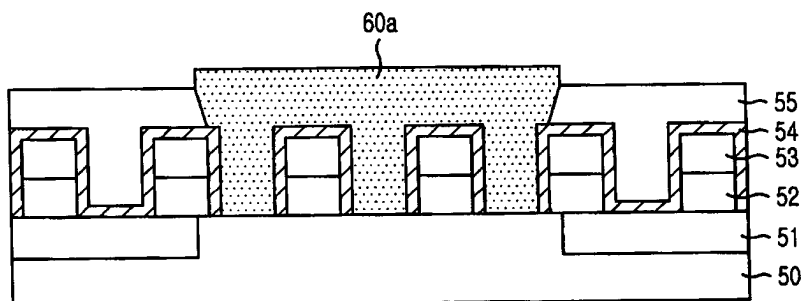
【도 5d】



【도 5e】



【도 5f】



【도 5g】

